

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-48048

(P2004-48048A)

(43) 公開日 平成16年2月12日(2004.2.12)

(51) Int. Cl.⁷

F I

テーマコード (参考)

H O 1 L 25/085

H O 1 L 25/08

Z

H O 1 L 21/60

H O 1 L 21/60

3 1 1 S

H O 1 L 23/52

H O 1 L 25/08

B

H O 1 L 25/07

H O 1 L 21/92

6 O 2 G

H O 1 L 25/18

H O 1 L 23/52

C

審査請求 有 請求項の数 28 O L (全 21 頁)

(21) 出願番号 特願2003-323553 (P2003-323553)
 (22) 出願日 平成15年9月16日 (2003. 9. 16)
 (62) 分割の表示 特願2000-71027 (P2000-71027)
 の分割
 原出願日 平成12年3月9日 (2000. 3. 9)

(71) 出願人 000000295
 沖電気工業株式会社
 東京都港区虎ノ門1丁目7番12号
 (74) 代理人 100095957
 弁理士 亀谷 美明
 (74) 代理人 100096389
 弁理士 金本 哲男
 (74) 代理人 100101557
 弁理士 萩原 康司
 (72) 発明者 高橋 義和
 東京都港区虎ノ門1丁目7番12号 沖電
 気工業株式会社内
 (72) 発明者 大角 卓史
 東京都港区虎ノ門1丁目7番12号 沖電
 気工業株式会社内

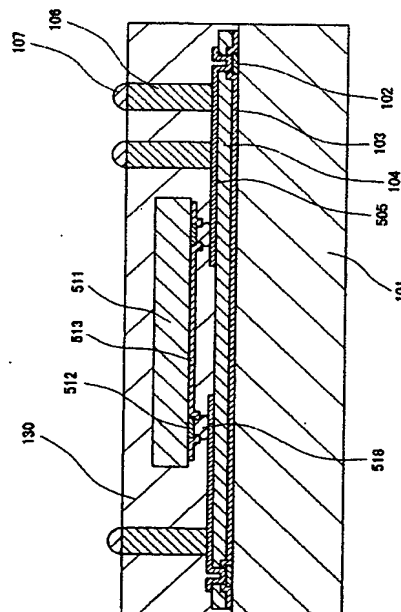
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 インターポーザーを内蔵しないCSPにおいてMCP化が可能な半導体装置およびその製造方法を提供すること。

【解決手段】 主表面を有する第1のICチップと；第1のICチップの主表面上に形成される導体と；集積回路が形成された第1面とこの第1面と対向する第2面とを有し、第1面が第1のICチップの主表面と対向するように第1のICチップの主表面上に設けられる第2のICチップと；導体と、第2のICチップとを電氣的に接続する電極接続材料と；導体上に設けられ、導体と電氣的に接続される柱状導体と；柱状導体の一端を露出するように、第1のICチップの主表面と導体と第2のICチップの第2面及び側面とを覆う樹脂と；を備えたことを特徴とする半導体装置が提供される。

【選択図】 図5



【特許請求の範囲】**【請求項 1】**

主表面を有する第 1 の IC チップと、

前記第 1 の IC チップの主表面上に形成される導体と、

集積回路が形成された第 1 面と該第 1 面と対向する第 2 面とを有し、該第 1 面が前記第 1 の IC チップの主表面と対向するように該第 1 の IC チップの主表面上に設けられる第 2 の IC チップと、

前記導体と、前記第 2 の IC チップとを電氣的に接続する電極接続材料と、

前記導体上に設けられ、該導体と電氣的に接続される柱状導体と、

前記柱状導体の一端を露出するように、前記第 1 の IC チップの主表面と前記導体と前記第 2 の IC チップの第 2 面及び側面とを覆う樹脂とを備えたことを特徴とする半導体装置。 10

【請求項 2】

前記樹脂から露出した前記柱状導体の一端に、接続材料を設けたことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記第 1 の IC チップの主表面上に形成され、該第 1 の IC チップの主表面に形成されたパッドと電氣的に接続される第 2 の導体と、

一端が前記樹脂から露出するように前記第 2 の導体上に設けられ、該導体と電氣的に接続される第 2 の柱状導体とを備えたことを特徴とする請求項 2 記載の半導体装置 20

【請求項 4】

前記樹脂から露出した前記第 2 の柱状導体の一端に、第 2 の接続材料を設けたことを特徴とする請求項 3 記載の半導体装置。

【請求項 5】

前記第 1 の IC チップの外縁部から前記第 1 のパッドまでの距離は、該第 1 の IC チップの外縁部から前記第 2 の柱状導体までの距離よりも短いことを特徴とする請求項 3 記載の半導体装置。

【請求項 6】

前記第 1 の IC チップの側面と前記樹脂の側面には、ダイシングによって切断された切断面が形成されることを特徴とする請求項 1 記載の半導体装置。 30

【請求項 7】

第 1 のパッドが形成された主表面を有する第 1 の IC チップと、

前記第 1 のパッドの一部を露出するように、前記第 1 の IC チップの主表面を覆う保護膜と、

前記第 1 のパッド及び前記保護膜上に設けられ、前記第 1 のパッドと電氣的に接続される導体と、

第 2 のパッドが形成された第 1 面と該第 1 面と対向する第 2 面とを有し、該第 1 面が前記導体と対向するように該導体上に設けられ、電極接続材料を介して該第 2 のパッドと該導体とが電氣的に接続される第 2 の IC チップと、

前記導体上に設けられ、該導体と電氣的に接続される柱状導体と、 40

前記柱状導体の一端を露出するように、前記保護膜と前記導体と前記第 2 の IC チップの第 2 面及び側面とを覆う樹脂とにより構成されることを特徴とする半導体装置。

【請求項 8】

前記樹脂から露出した前記柱状導体の一端に、接続材料を設けたことを特徴とする請求項 7 記載の半導体装置。

【請求項 9】

前記第 1 の IC チップの外縁部から前記第 1 のパッドまでの距離は、該第 1 の IC チップの外縁部から前記柱状導体までの距離よりも短いことを特徴とする請求項 7 記載の半導体装置。

【請求項 10】

前記第1のICチップの側面と前記樹脂の側面には、ダイシングによって切断された切断面が形成されることを特徴とする請求項7記載の半導体装置。

【請求項11】

第1及び第2のパッドが形成された主表面を有する第1のICチップと、

前記第1及び第2のパッドの一部を露出するように、前記第1のICチップの主表面を覆う保護膜と、

前記第1のパッド及び前記保護膜上に設けられ、前記第1のパッドと電氣的に接続される第1の導体と、

前記第2のパッド及び前記保護膜上に設けられ、前記第2のパッドと電氣的に接続される第2の導体と、

第3のパッドが形成された第1面と該第1面と対向する第2面とを有し、該第1面が前記第1の導体と対向するように該第1の導体上に設けられ、電極接続材料を介して該第3のパッドと該第1の導体とが電氣的に接続される第2のICチップと、

前記第2の導体上に設けられ、該第2の導体と電氣的に接続される柱状導体と、

前記柱状導体の一端を露出するように、前記保護膜と前記第1及び第2導体と前記第2のICチップの第2面及び側面とを覆う樹脂とにより構成されることを特徴とする半導体装置。

【請求項12】

前記樹脂から露出した前記柱状導体の一端に、接続材料を設けたことを特徴とする請求項11記載の半導体装置。

【請求項13】

前記第1のICチップの外縁部から前記第1のパッドまでの距離は、該第1のICチップの外縁部から前記柱状導体までの距離よりも短いことを特徴とする請求項11記載の半導体装置。

【請求項14】

前記第1のICチップの側面と前記樹脂の側面には、ダイシングによって切断された切断面が形成されることを特徴とする請求項11記載の半導体装置。

【請求項15】

主表面を有する第1のICチップと、該第1のICチップの主表面上に搭載される第2のICチップとからなる半導体装置であって、

前記第1のICチップは、前記主表面上に形成された導体上に、該導体と電氣的に接続される柱状導体を有し、

前記第2のICチップは、集積回路が形成され前記第1のICチップの主表面と対向する第1面と、該第1面と対向し裏面電極が形成される第2面と、該第2面上に形成され該裏面電極と電氣的に接続される第2の柱状導体と、該第1裏面と該第2面とを貫通し該集積回路と該裏面電極とを電氣的に接続する貫通電極とを有し、

前記第1及び第2の導体の一端を残し、前記第1のICチップの主表面と前記第2のICチップの第2面とを覆う樹脂とにより構成されることを特徴とする半導体装置。

【請求項16】

前記裏面電極の一部を露出し、前記第1のICチップの主表面を覆う保護膜と、

前記裏面電極及び前記保護膜上に形成される第2の導体と、

前記第2の柱状導体は、前記第2の導体上に形成されることを特徴とする請求項15記載の半導体装置。

【請求項17】

前記第1のICチップの側面と前記樹脂の側面には、ダイシングによって切断された切断面が形成されることを特徴とする請求項15記載の半導体装置。

【請求項18】

第1のパッドが形成された主表面を有する第1のICチップと、

前記第1のパッド上に設けられ、該パッドと電氣的に接続される柱状導体と、

集積回路が形成された第1面と該第1面と対向する第2面とを有し、該第1面が前記第

10

20

30

40

50

1のICチップの主表面と対向するように、該第1のICチップの主表面上に設けられる第2のICチップと、

前記柱状導体の一端を露出するように、前記第1のICチップの主表面と前記第2のICチップの第2面及び側面とを覆う樹脂とにより構成されることを特徴とする半導体装置。

【請求項19】

前記樹脂から露出した前記柱状導体の一端に、接続材料を設けたことを特徴とする請求項18記載の半導体装置。

【請求項20】

前記第1のICチップの外縁部から前記パッドまでの距離は、該第1のICチップの外縁部から前記柱状導体までの距離よりも短いことを特徴とする請求項18記載の半導体装置。

【請求項21】

前記第1のICチップの側面と前記樹脂の側面には、ダイシングによって切断された切断面が形成されることを特徴とする請求項18記載の半導体装置。

【請求項22】

第1のパッド及び該第1のパッドと電氣的に接続されたポストが形成された主表面を有するウエハを準備する工程と、

第2のパッド及び該第2のパッドと電氣的に接続されたバンプが形成された第1面と該第1面に対向する第2面とを有する個片化されたICチップを準備する工程と、

前記ICチップの第1面が前記ウエハの主表面に対向するように、該ICチップを該ウエハの主表面に搭載する工程と、

前記ウエハの主表面及び前記ICチップを樹脂で覆う工程と、

前記ポストの一端が露出するまで、前記樹脂を削る工程と、

前記ウエハをダイシングする工程とを備えた半導体装置の製造方法。

【請求項23】

前記ポストの露出した一端に、再配線パターンを形成する工程とを備えたことを特徴とする請求項22記載の半導体装置の製造方法。

【請求項24】

第1のパッドが形成された主表面を有する第1のICチップと、

前記第1のパッド上に設けられ、該パッドと電氣的に接続される柱状導体と、

それぞれ集積回路が形成された第1面と該第1面に対向する第2面とを有し、それぞれ該第1面が前記第1のICチップの主表面と対向するように、それぞれ該第1のICチップの主表面上に設けられる複数の第2のICチップと、

前記柱状導体の一端を露出するように、前記第1のICチップの主表面と前記複数の第2のICチップの第2面及び側面とを覆う樹脂とにより構成されることを特徴とする半導体装置。

【請求項25】

前記樹脂から露出した前記柱状導体の一端に、接続材料を設けたことを特徴とする請求項24記載の半導体装置。

【請求項26】

前記第1のICチップの外縁部から前記第1のパッドまでの距離は、該第1のICチップの外縁部から前記柱状導体までの距離よりも短いことを特徴とする請求項24記載の半導体装置。

【請求項27】

前記第1のICチップの側面と前記樹脂の側面には、ダイシングによって切断された切断面が形成されることを特徴とする請求項24記載の半導体装置。

【請求項28】

半導体集積回路が形成された複数のICチップを1つのパッケージの中に内蔵し、前記パッケージのサイズは内蔵される前記複数のICチップの中で最大のICチップのサイズと

10

20

30

40

50

同等である半導体装置の製造方法であって、

前記最大のＩＣチップとなるＩＣが形成されたウエハ上に外部接続用の導体を形成し、前記最大のＩＣチップ以外の前記内蔵されるＩＣチップに外部接続用の導体を形成し、前記ウエハ上に前記最大のＩＣチップ以外の前記内蔵されるＩＣチップをフェイスダウン実装にて搭載し、樹脂封止し、研磨あるいはエッチングにより半導体パッケージの同一表面に前記外部接続用の導体を露出させ、前記ウエハを切断してＩＣチップを個片化することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

10

【技術分野】

【０００１】

本発明は、チップサイズパッケージを用い、マルチチップ化した半導体装置およびその製造方法およびその試験方法に関するものである。

【背景技術】

【０００２】

近年の電子機器の小型化に伴い、半導体装置を実装する際、高密度実装を可能にするさまざまな方法が検討されている。そのなかで、半導体装置の小型化と、複数の部品実装の高密度化を進める方法がある。半導体装置の小型化については、ＩＣチップを内蔵する半導体パッケージの小型化が検討され、ＩＣチップとほぼ同一のサイズをもつチップサイズパッケージ（以下、ＣＳＰと略す）と称する半導体パッケージがある。複数の部品実装の高密度化については、複数のＩＣチップやその他の部品を単一のモジュールあるいはパッケージに内蔵した、マルチチップモジュール（以下、ＭＣＭと略す）あるいはマルチチップパッケージ（以下、ＭＣＰと略す）がある。

20

【０００３】

従来のＣＳＰの構造の一例を図１７に示す。ＩＣチップ１上にはアルミ電極パッド２が形成されている。アルミ電極パッド２は、ＩＣチップ１の内部集積回路と電気的に接続されている。アルミ電極パッド２に接続して、その上には、柱状の導体である銅ポスト５が形成されている。樹脂３０は、上記導体およびＩＣチップ１の少なくとも集積回路形成面を封止している。

30

【０００４】

銅ポスト５上および、樹脂３０上の所定位置には、表面に金、スズ等のメッキが施された再配線パターン６が間隔をおいて複数形成されている。再配線パターン６上には、外部接続端子用のハンダボール７が形成されている。アルミ電極パッド２、銅ポスト５、再配線パターン６、ハンダボール７は電気的に接続されている。これにより、ＩＣチップ１の内部集積回路は外部基板と電気的に接続可能となっている。このようにして、ＩＣチップ１とほぼ同一サイズのパッケージを構成している。

【発明の開示】

【発明が解決しようとする課題】

【０００５】

40

しかしながら、上記のＣＳＰの中でも、特にインターポーザーと称する中間基板を内蔵しないＣＳＰは、その外形サイズと構造から複数のＩＣチップを内蔵できず、ＭＣＰ化するのが困難であった。そのため、実装基板上の複数の半導体パッケージを電気的に配線する場合、配線長が長くなり、高密度実装のみならず最終的な電子機器の高速化という点においても障害になっていた。

【０００６】

一方、インターポーザーを内蔵する半導体パッケージにおいては、複数のＩＣチップをインターポーザー上に実装可能であるが、パッケージサイズがＩＣチップより大きくなり、さらにインターポーザーを内蔵するためパッケージのコストが高価になるという問題があった。

50

【0007】

本発明は、このような問題に鑑みてなされたもので、その目的とするところは、インターポザーを内蔵しないCSPにおいてMCP化が可能な半導体装置およびその製造方法およびその試験方法を提供することにある。

【課題を解決するための手段】

【0008】

上記課題を解決するために、本発明のある観点によれば、主表面を有する第1のICチップと、前記第1のICチップの主表面上に形成される導体と、集積回路が形成された第1面と該第1面と対向する第2面とを有し、該第1面が前記第1のICチップの主表面と対向するように該第1のICチップの主表面上に設けられる第2のICチップと、前記導体と、前記第2のICチップとを電氣的に接続する電極接続材料と、前記導体上に設けられ、該導体と電氣的に接続される柱状導体と、前記柱状導体の一端を露出するように、前記第1のICチップの主表面と前記導体と前記第2のICチップの第2面及び側面とを覆う樹脂とを備えたことを特徴とする半導体装置が提供される。

【0009】

上記半導体装置において、樹脂から露出した柱状導体の一端に、接続材料を設けることが好ましい。また、第1のICチップの主表面上に形成され、第1のICチップの主表面に形成されたパッドと電氣的に接続される第2の導体と、一端が樹脂から露出するように第2の導体上に設けられ、導体と電氣的に接続される第2の柱状導体とを備えることが好ましく、また、樹脂から露出した第2の柱状導体の一端に、第2の接続材料を設けることが好ましい。なお、第1のICチップの外縁部から前記第2のパッドまでの距離は、該第1のICチップの外縁部から前記第2の柱状導体までの距離よりも短いように構成してもよく、第1のICチップの側面と前記樹脂の側面には、ダイシングによって切断された切断面が形成されるように構成してもよい。

【0010】

上記課題を解決するために、本発明の別の観点によれば、第1のパッドが形成された主表面を有する第1のICチップと、前記第1のパッドの一部を露出するように、前記第1のICチップの主表面を覆う保護膜と、前記第1のパッド及び前記保護膜上に設けられ、前記第1のパッドと電氣的に接続される導体と、第2のパッドが形成された第1面と該第1面と対向する第2面とを有し、該第1面が前記導体と対向するように該導体上に設けられ、電極接続材料を介して該第2のパッドと該導体とが電氣的に接続される第2のICチップと、前記導体上に設けられ、該導体と電氣的に接続される柱状導体と、前記柱状導体の一端を露出するように、前記保護膜と前記導体と前記第2のICチップの第2面及び側面とを覆う樹脂とにより構成されることを特徴とする半導体装置が提供される。

【0011】

上記課題を解決するために、本発明の別の観点によれば、第1及び第2のパッドが形成された主表面を有する第1のICチップと、前記第1及び第2のパッドの一部を露出するように、前記第1のICチップの主表面を覆う保護膜と、前記第1のパッド及び前記保護膜上に設けられ、前記第1のパッドと電氣的に接続される第1の導体と、前記第2のパッド及び前記保護膜上に設けられ、前記第2のパッドと電氣的に接続される第2の導体と、第3のパッドが形成された第1面と該第1面と対向する第2面とを有し、該第1面が前記第1の導体と対向するように該第1の導体上に設けられ、電極接続材料を介して該第3のパッドと該第1の導体とが電氣的に接続される第2のICチップと、前記第2の導体上に設けられ、該第2の導体と電氣的に接続される柱状導体と、前記柱状導体の一端を露出するように、前記保護膜と前記第1及び第2導体と前記第2のICチップの第2面及び側面とを覆う樹脂とにより構成されることを特徴とする半導体装置が提供される。

【0012】

上記課題を解決するために、本発明の別の観点によれば、主表面を有する第1のICチップと、該第1のICチップの主表面上に搭載される第2のICチップとからなる半導体装置であって、前記第1のICチップは、前記主表面上に形成された導体上に、該導体と

電氣的に接続される柱状導体を有し、前記第2のICチップは、集積回路が形成され前記第1のICチップの主表面と対向する第1面と、該第1面と対向し裏面電極が形成される第2面と、該第2面上に形成され該裏面電極と電氣的に接続される第2の柱状導体と、該第1裏面と該第2面とを貫通し該集積回路と該裏面電極とを電氣的に接続する貫通電極とを有し、前記第1及び第2の導体の一端を残し、前記第1のICチップの主表面と前記第2のICチップの第2面とを覆う樹脂とにより構成されることを特徴とする半導体装置が提供される。

【0013】

上記課題を解決するために、本発明の別の観点によれば、第1のパッドが形成された主表面を有する第1のICチップと、前記第1のパッド上に設けられ、該パッドと電氣的に接続される柱状導体と、集積回路が形成された第1面と該第1面に対向する第2面とを有し、該第1面が前記第1のICチップの主表面と対向するように、該第1のICチップの主表面上に設けられる第2のICチップと、前記柱状導体の一端を露出するように、前記第1のICチップの主表面と前記第2のICチップの第2面及び側面とを覆う樹脂とにより構成されることを特徴とする半導体装置が提供される。

【0014】

上記課題を解決するために、本発明の別の観点によれば、第1のパッド及び該第1のパッドと電氣的に接続されたポストが形成された主表面を有するウエハを準備する工程と、第2のパッド及び該第2のパッドと電氣的に接続されたバンプが形成された第1面と該第1面に対向する第2面とを有する個片化されたICチップを準備する工程と、前記ICチップの第1面が前記ウエハの主表面に対向するように、該ICチップを該ウエハの主表面に搭載する工程と、前記ウエハの主表面及び前記ICチップを樹脂で覆う工程と、前記ポストの一端が露出するまで、前記樹脂を削る工程と、前記ウエハをダイシングする工程とを備えた半導体装置の製造方法が提供される。また、本発明の別の観点によれば、半導体集積回路が形成された複数のICチップを1つのパッケージの中に内蔵し、前記パッケージのサイズは内蔵される前記複数のICチップの中で最大のICチップのサイズと同等である半導体装置の製造方法であって、前記最大のICチップとなるICが形成されたウエハ上に外部接続用の導体を形成し、前記最大のICチップ以外の前記内蔵されるICチップに外部接続用の導体を形成し、前記ウエハ上に前記最大のICチップ以外の前記内蔵されるICチップをフェイスダウン実装にて搭載し、樹脂封止し、研磨あるいはエッチングにより半導体パッケージの同一表面に前記外部接続用の導体を露出させ、前記ウエハを切断してICチップを個片化することを特徴とする半導体装置の製造方法が提供される。

【0015】

上記課題を解決するために、本発明の別の観点によれば、第1のパッドが形成された主表面を有する第1のICチップと、前記第1のパッド上に設けられ、該パッドと電氣的に接続される柱状導体と、それぞれ集積回路が形成された第1面と該第1面に対向する第2面とを有し、それぞれ該第1面が前記第1のICチップの主表面と対向するように、それぞれ該第1のICチップの主表面上に設けられる複数の第2のICチップと、前記柱状導体の一端を露出するように、前記第1のICチップの主表面と前記複数の第2のICチップの第2面及び側面とを覆う樹脂とにより構成されることを特徴とする半導体装置が提供される。

【発明の効果】

【0016】

以上のように本発明によれば、インターポーザーを内蔵しないCSPにおいてMCP化が可能な半導体装置とその製造方法を提供できる。

【発明を実施するための最良の形態】

【0017】

以下、図面に基づいて本発明の実施の形態を詳細に説明する。なお、以下の説明および添付図面において、略同一の機能および構成を有する構成要素については、同一符号を付すことにより重複説明を省略する。

【0018】

図1は本発明の第1の実施の形態を示す構造断面図である。支持基板となるICチップ101上に別のICチップ111がダイボンディングされてパッケージに内蔵されている。支持基板となるICチップ101とパッケージのサイズは同等である。

【0019】

ICチップ101上にはパッド102と、2層の表面保護膜103、104が形成されている。パッド102はICチップ101の内部集積回路と電氣的に接続されている。表面保護膜103および104は、集積回路の表面保護のためのものであり、パッド102上に開口部を有する。さらに、パッド102に接続し表面保護膜104上に導体105、導体105に接続して柱状の導体106、導体106上に接続材料107が形成されている。 10

【0020】

導体105、106によりパッド102からパッケージの外部端子へ電氣的に接続でき、接続材料107により、パッケージを外部基板（図示せず）に接続できる。すなわち、一連の接続されたパッド102、導体105、106、接続材料107により、ICチップ101の内部集積回路と外部基板とを電氣的に接続できる。

【0021】

表面保護膜104上には、ダイボンディング材料108を介してICチップ111がダイボンディングされている。ICチップ111は、支持基板となるICチップ101とは別のチップであり、ICチップ101より小さく、かつ同一パッケージに内蔵できる程薄く研削されている。 20

【0022】

ICチップ111上にはパッド112と、2層の表面保護膜113、114が形成されている。パッド112はICチップ111の内部集積回路と電氣的に接続されている。表面保護膜113および114は、集積回路の表面保護のためのものであり、パッド112上に開口部を有する。さらに、パッド112に接続し表面保護膜114上に導体115、導体115に接続して柱状の導体116、導体116上に接続材料117が形成されている。そして、樹脂130は全てのICチップの少なくとも集積回路形成面を封止している。

【0023】

導体115、116によりパッド112からパッケージの外部端子へ電氣的に接続でき、接続材料117により、パッケージを外部基板へ接続できる。すなわち、一連の接続されたパッド112、導体115、116、接続材料117により、ICチップ111の内部集積回路とパッケージの外部基板とを電氣的に接続できる。 30

【0024】

表面保護膜103、104および113、114は、それぞれICチップ101および111の表面保護膜である。ここでは表面保護膜103および113はシリコン酸化膜もしくはシリコン窒化膜とし、表面保護膜104および114はポリイミドなどの高分子樹脂からなる膜とする。これらの表面保護膜は単層構成でもよいが複合層構成にすることにより、ICチップ上の導体形成やダイボンディングなどの加工の影響、およびパッケージを基板へ接続した後の熱応力の影響から集積回路をより保護できる。 40

【0025】

導体105、115は、それぞれパッド102と導体106、パッド112と導体116を結ぶ導体配線である。ここではチタンおよび銅からなる複合層構成の金属材料によるものとする。この場合、チタン層はパッドや表面保護膜との密着性や拡散防止機能のために形成され、銅層は主として電氣的な接続材料としての機能のために形成する。無論、単層構成でもよいし材料構成を問うものではない。複合層構成の場合の材料構成例については、クロム-銅、クロム-金、ニッケル-銅、ニッケル-金、チタン/タングステン-銅、チタン/タングステン-金等さまざまなものが考えられる。

【0026】

導体106, 116は、それぞれ導体105, 115からパッケージ外部へ電氣的接続を施すための導体で、少なくとも樹脂130よりその一部が露出している必要がある。材料としては電気抵抗の低い材料が好ましく銅、金、アルミニウムなどが挙げられる。

【0027】

なお、図1では支持基板となるICチップ以外の内蔵ICチップは、ICチップ111の1つしか示していないが、複数のICチップであってもよい。この点は、以下に述べる実施の形態についても同様である。ここで、支持基板となるICチップ101をロジック系チップとし、内蔵されるICチップ111をメモリ系チップとすれば、ロジック系とメモリ系の混載が可能となる。またICチップの組み合わせは上記に限定されるものではなく、メモリ系の半導体素子同士、ロジック系半導体素子同士でも可能である。

10

【0028】

図8は、図1に示した構造の半導体パッケージを実装基板に実装した図である。ICチップ101, 111を内蔵した半導体装置100が、実装基板150に実装基板上配線151により実装されている。なお、図8では半導体装置100の上下は図1とは逆になっている。半導体装置100を実装基板150に実装することにより、ICチップ101, 111が実装基板上配線151に電氣的に接続される。半導体装置100単体の状態ではICチップ101, 111間は電氣的には直接接続されていないが、実装基板150に実装した状態では実装基板上配線151を介して、ICチップ101とICチップ111は接続されている。

【0029】

20

以下に、図9を参照しながら、ICチップ101にICチップ111を搭載する方法を説明する。まず、ICチップ101においては、パッド102, 表面保護膜103, 104, 導体105, 106が形成された状態、ICチップ111においては、パッド112, 表面保護膜113, 114, 導体115, 116が形成された状態のものを準備する。ここで、ICチップ101は既にダイシングされ個片化されたものでもダイシング前のウエハ状態でもかまわない。

【0030】

ICチップ101へICチップ111をダイボンディングする際、ICチップ101が個片化されたICチップの場合は、図9(1)に示すように、個片化されたICチップ199を個片化されたICチップ191上にダイボンディング材料108でボンディングすることになる。ICチップ101がダイシング前のウエハ状態であれば図9(2)に示すように、個片化されたICチップ199をウエハ181上にダイボンディング材料108でボンディングすることになる。

30

【0031】

半導体パッケージには可能限界までの小型化が要求されるので、ICチップ101とICチップ111は可能な限り薄く並行にダイボンディングされることが望まれる。したがって、ダイボンディング材料108は薄くかつ均一な厚さが得られるものが好ましい。ダイボンディング材料108は、銀を主材料とする導電性ペーストや液状ポリイミド、シート状接着剤などさまざまなものが考えられる。

【0032】

40

個片化されたICチップを支持基板となるICチップへ搭載する場合は、これら2つのICチップに傷が生じるなどの心配がない。一方、個片化されたICチップを個片化される前のウエハ状態のICへ搭載する場合は、以後の工程をウエハ単位で一括処理できるので製造が容易になるという利点がある。

【0033】

次に、図10を参照しながら、半導体パッケージの外部へ電氣的接続を施すための柱状の導体106および116において、パッケージの同一表面に導体を露出させる方法について述べる。前述したICチップ101にICチップ111を搭載すると、その上に形成されている導体106および116は、一般に図10に示すように高さが不揃いとなる。柱状の導体106および116の形成は、厚膜レジストでパターンを形成しメッキにより

50

行うか、既存の微細な柱状部品を接着・固定することにより行われる。しかし、ICチップ101にICチップ111を搭載した時に導体106および116の最上面が同一表面に均一に露出するように、上記の導体形成時に導体106および116の高さをあらかじめ調整するのは困難である。

【0034】

よって、ICチップ101にICチップ111を搭載し、導体106および116の高さが不揃いの状態で、両者の最上面より高い面1001まで樹脂130により封止する。次に、樹脂130を1002の面まで研磨もしくはエッチングする。この時、導体106および116も同時に研磨もしくはエッチングする。これにより、各IC上に形成された柱状の導体106および116を、パッケージの同一表面に露出することができる。

10

【0035】

次に、本発明で提供するMCP化された半導体装置の電氣的試験方法について説明する。これには、半導体装置の状態により2つの方法が考えられる。1つは、MCP化された半導体装置が個片化された状態であり、その個片化された1つのパッケージ毎に試験する方法である。もう1つの方法は、支持基板となるICがウエハの状態であり、かつ内蔵されるICチップが搭載され樹脂封止され柱状導体が露出した時点で試験する方法である。

【0036】

前者の試験方法は、個別に試験を行うことができるので、確実に試験が行われ、不良品については判明した時点で良品と分別可能である。後者の試験方法は、いわゆるプロービング方式が応用可能で、前者の試験方法と比較すると特別な試験用ソケットなどの特殊な治具を準備する必要がない。いずれにしても、内蔵される各ICを個々に試験した後組み合わせるだけではなく、MCP化された半導体装置で電氣的試験を行うことにより、内蔵される複数のIC間の電氣的接続、および組み合わせて初めて確認可能な機能の試験が可能になる。

20

【0037】

以上より、本実施の形態によれば、以下に述べる多数の効果が得られる。インターポーザを使用することなく、複数のICチップを内蔵できるMCPであり、かつそのパッケージサイズは内蔵されるICチップの中で最大のものと同サイズでよいので、実装基板上に高密度実装が可能になる。また、複数のICチップが半導体パッケージに内蔵され、全て樹脂封止されているので、パッケージ外部に別のICチップを装着したものに比較して耐湿性等における信頼性が高い。複数のICチップを同時に実装できるので、実装基板に対する実装加工工程が少なくなりコストが低減できる。実装基板に1つのMCPを実装することにより、内蔵された複数のICチップを同時に電氣的に接続することができる。

30

【0038】

また、支持基板となるICが個片化された状態の場合は、個片化されたICチップ上に別の個片化されたICチップを搭載するので、個片化される前に隣接していたICチップに傷をつけるなどの不具合がなくなる。支持基板となるICがウエハ状態の場合は、ウエハ上に複数の個片化されたICチップを搭載し、以後の工程となる樹脂封止および導体露出、端子処理をウエハ単位で一括処理できるので、製造が容易になる。

【0039】

支持基板となるIC上に複数の個片化されたICチップを搭載し、樹脂封止後各IC上に形成された柱状の導体を樹脂とともに研磨しあるいはエッチングすることにより、容易に半導体パッケージの同一表面に柱状の導体を均一に露出させることができる。

40

【0040】

1つの半導体パッケージに複数のICチップが内蔵された状態で電氣的検査を行う試験方法を採用することにより、確実に試験が行われるとともに不良品についてはその時点で良品と分別することが可能である。支持基板となるICがウエハの状態であり、他の個片化されたICチップを搭載し、樹脂封止し、支持基板となるICを個片化する前に電氣的検査を行う試験方法の場合は、いわゆるプロービング方式が応用可能で前者の試験方法と比較して特別に試験用ソケットなど特殊な治具の準備を必要としない。MCP化された半

50

導体装置で電氣的試験を行うことにより、内蔵される複数のＩＣ間の電氣的接続、および組み合わせて初めて確認可能な機能の試験が可能になる。

【００４１】

図２は、本発明の第２の実施の形態を示す構造断面図である。本実施の形態では、導体１０５の１つが導体２０５に代替されている。導体２０５はＩＣチップ１１１のダイボンディング領域まで延長され、その上にＩＣチップ１１１がダイボンディング材料２０８によりボンディングされている。ダイボンディング材料２０８は導電性を有する。

【００４２】

このような構造により、ＩＣチップ１１１の裏面は、接続材料１０７およびＩＣチップ１０１の内部集積回路と、ダイボンディング材料２０８、導体２０５を介して電氣的に接続されている。よって、図２で示す半導体装置を実装基板に接続すると、接続材料１０７、導体２０５、ダイボンディング材料２０８を介してＩＣチップ１１１の裏面電位を固定できる。

【００４３】

本実施の形態によれば、第１の実施の形態の効果に加えて、半導体パッケージに内蔵されるＩＣチップの裏面電位を固定することができ、半導体装置の安定した機能が得られる。

【００４４】

図３は、本発明の第３の実施の形態を示す構造断面図である。本実施の形態では、第１の実施の形態における導体１０５および１１５に代わり、導体３０５および３１５が設けられ、そして新たにＩＣチップ１１１の側面に絶縁材料３０９が設けられている。導体３０５および３１５は延長され絶縁材料３０９の表面を介して接続されている。

【００４５】

導体３０５および３１５が接続されたことにより、支持基板となるＩＣチップ１０１と内蔵されるＩＣチップ１１１がパッケージ内部で電氣的に接続される。また、ＩＣチップ１０１上に複数のＩＣチップをダイボンディングする場合、それらのＩＣチップにも導体３０５および３１５と同様の導体を設け、適宜配置することにより、支持基板以外の内蔵される複数のＩＣチップ間を電氣的に接続することができる。なお、本実施の形態においては導体１１６、接続材料１１７は必ずしも必要ではない。

【００４６】

本実施の形態によれば、第１の実施の形態の効果に加えて、半導体パッケージに内蔵される複数のＩＣチップ間の電氣的接続を半導体パッケージ内部で施すことが可能である。これにより、内蔵されるＩＣチップ間の電氣的接続を考慮した配線を、半導体装置を接続する接続基板上に形成する必要がない。また、半導体パッケージに内蔵される複数のＩＣチップ間の電氣的接続がより短い配線を使用し施すことが可能になるため、半導体装置の高速化が図れる。

【００４７】

図４は、本発明の第４の実施の形態を示す構造断面図である。本実施の形態ではさらに、表面保護膜１０４に代わり表面保護膜１０４よりも厚みを増した表面保護膜４０４を設けている。そして、表面保護膜４０４は、ＩＣチップ１１１と同等サイズの孔部、およびパッド１０２上に設けられた開口部を有する。ＩＣチップ１１１は、孔部に埋め込まれてダイボンディングされる。導体４０５はパッド１０２に接続した後は表面保護膜４０４の表面上を延長し、導体４１５と接続している。ここで、表面保護膜４０４の材料としてはポリイミドなどの高分子樹脂を用いている。

【００４８】

導体４０５および４１５が接続されたことにより、支持基板となるＩＣチップ１０１と内蔵されるＩＣチップ１１１がパッケージ内部で電氣的に接続される。また、ＩＣチップ１０１上に複数のＩＣチップをダイボンディングする場合、それら複数の内蔵されるＩＣチップ間も、支持基板となるＩＣチップの表面に形成される導体を介して電氣的に接続される。さらに、厚みを増した表面保護膜４０４に孔部を設けその中にＩＣチップ１１１を埋

め込むようにしたことにより、支持基板となるＩＣチップ１０１にダイボンディングされるＩＣチップ１１１の厚さによって生じる段差を少なくとも第３の実施の形態に比較して改善できる。

【００４９】

このような構造は、個片化されたＩＣチップを個片化される前のウエハ状態のＩＣへ搭載する製造方法を選択する場合に有利となる。というのは、ウエハおよびＩＣチップ１１１の表面に同時に導体形成およびそのパターニングを施すことができ、導体４０５と４１５を電氣的に接続する構造の形成が一括して行えるからである。また、半導体パッケージの内部の樹脂封止される面がより平坦化されるため、樹脂１３０による封止も容易になる。なお、本実施の形態においては導体１１６、接続材料１１７は必ずしも必要ではない。 10

【００５０】

本実施の形態によれば、第３の実施の形態の効果に加えて、支持基板となるＩＣチップにダイボンディングされるＩＣチップの厚さによって生じる段差が改善されているため、支持基板となるＩＣチップ上の導体と内蔵されるそれ以外のＩＣチップ上の導体を電氣的に接続する構造の形成が容易になる。また、樹脂封止も容易になる。

【００５１】

図５は、本発明の第５の実施の形態を示す構造断面図である。本実施の形態が前述の実施の形態と大きく異なる点は、支持基板となるＩＣチップ１０１上に、別のＩＣチップ５１１がフェイスダウンボンディングされてパッケージに内蔵されている点である。ＩＣチップ５１１は、支持基板となるＩＣチップ１０１とは別のチップであり、ＩＣチップ１０ 20 1より小さく、かつ同一パッケージに内蔵できる程薄く研削されている。

【００５２】

ＩＣチップ５１１にはパッド５１２と、表面保護膜５１３が形成されている。パッド５１２はＩＣチップ５１１の内部集積回路と電氣的に接続されている。表面保護膜５１３は、集積回路の表面保護のためのものであり、ＩＣチップ５１２表面を覆い、パッド５１２上に開口部を有する。さらに、パッド５１２に接続し表面保護膜５１３の外側に電極接続材料５１８が形成されている。電極接続材料５１８としては、例えばバンプ電極や印刷などで形成される導電性樹脂などを用いることができる。ＩＣチップ１０１のパッド１０２に接続している導体５０５は、第１の実施の形態の導体１０５に比べ延長されて形成され、電極接続材料５１８と電氣的に接続されている。 30

【００５３】

導体５０５と電極接続材料５１８が接続されたことにより、支持基板となるＩＣチップ１０１と内蔵されるＩＣチップ５１１がパッケージ内部で電氣的接続される。また、支持基板となるＩＣチップ１０１以外の複数の内蔵されるチップ間も、支持基板となるＩＣチップの表面に形成される導体を介して電氣的接続される。また、ＩＣチップ５１１は、電極接続材料５１８により外部端子と接続するため、前述の実施の形態で用いた導体１１５、１１６、接続材料１１７等が不要になる。また、導体１１５、１１６がないため、１層の表面保護膜５１３だけで十分となり、表面保護膜１１４も不要になる。

【００５４】

本実施の形態によれば、第１の実施の形態の効果に加えて、半導体パッケージに内蔵される複数のＩＣチップ間の電氣的接続を半導体パッケージ内部で施すことが可能である。これにより、内蔵されるＩＣチップ間の電氣的接続を考慮した配線を、半導体装置を接続する接続基板上に形成する必要がない。また、半導体パッケージに内蔵される複数のＩＣチップ間の電氣的接続をより短い配線で行うことが可能になるため、半導体装置の高速化が図れる。さらに、前述の実施の形態に比べ、半導体パッケージに内蔵される、支持基板になるＩＣチップ以外のＩＣチップに対する加工が簡素化できる。 40

【００５５】

図６は、本発明の第６の実施の形態を示す構造断面図である。本実施の形態も、第５の実施の形態と同様に、支持基板となるＩＣチップ１０１上に、別のＩＣチップ５１１がフェイスダウンボンディングされてパッケージに内蔵されている。ただし、本実施の形態で 50

は、ＩＣチップ１０１上に新たに、パッド６０２、パッド６０２に接続して表面保護膜１０４上に導体６０５が形成されている。パッド６０２はＩＣチップ１０１の内部集積回路と電氣的に接続されている。表面保護膜１０３および１０４は、パッド６０２上に開口部を有する。導体６０５は、ここではＩＣチップ１０１とＩＣチップ５１１の間に形成されており、ＩＣチップ５１１の電極接続材料５１８と電氣的に接続されている。導体６０５は、導体１０５とは異なり、外部端子に接続可能な導体１０６および接続材料１０７とは接続されていない。パッド６０２は、導体６０５と電極接続材料５１８が接続されるのに好適な位置に配置される。

【００５６】

パッド６０２、導体６０５を設け、導体６０５と電極接続材料５１８が接続されたことにより、支持基板となるＩＣチップ１０１と内蔵されるＩＣチップ５１１がパッケージ内部で電氣的接続される。さらに、ＩＣチップ１０１上に複数のＩＣチップをボンディングする場合、それら複数の内蔵されるＩＣチップ間を、導体６０５を介して電氣的に接続することができる。

【００５７】

本実施の形態によれば、第５の実施の形態の効果に加えて、支持基板になるＩＣチップとそれ以外の半導体パッケージに内蔵されるＩＣチップの間でそれぞれの内部集積回路の電氣的接続が可能であり、配線の自由度が高まり、より高密度な内部配線構造を提供できる。

【００５８】

図７は、本発明の第７の実施の形態を示す構造断面図である。本実施の形態も、第５、第６の実施の形態と同様に、支持基板となるＩＣチップ１０１上に、別のＩＣチップ７１１がフェイスダウンボンディングされてパッケージに内蔵されている。ただし、本実施の形態では、第５の実施の形態の構造に加えて、ＩＣチップ７１１内部に、新たに貫通電極７１９を設ける。貫通電極７１９はＩＣチップ７１１を貫通し、内部に導体７２０を有する。導体７２０は、ＩＣチップ７１１の半導体基板とは絶縁されている。ここでは貫通電極７１９は貫通孔と貫通孔側壁に設けた導体７２０からなるものとして図示しているが、上記以外の構造であってもよい。例えば、ＩＣチップ７１１を貫通する柱状の導体を設け、ＩＣチップ７１１の半導体基板と絶縁するよう構成してもよい。

【００５９】

ＩＣチップ１０１に対向するＩＣチップ７１１の表面には、パッド７１２、表面保護膜５１３、電極接続材料５１８が形成されている。パッド７１２は、貫通電極７１９に接続し、かつＩＣチップ１０１の内部集積回路と電氣的に接続されている。表面保護膜５１３は、ＩＣチップ７１１表面を覆い、パッド７１２上に開口部を有する。電極接続材料５１８は、パッド７１２に接続し、かつＩＣチップ１０１上の導体５０５にも接続している。

【００６０】

また、ＩＣチップ７１１の裏面には、裏面電極７２２と、２層の表面保護膜７１３、７１４が形成されている。裏面電極７２２は、貫通電極７１９に電氣的に接続されている。表面保護膜７１３、７１４は、ＩＣチップ７１１の裏面の形成された配線の表面保護のためのものであり、裏面電極７２２上に開口部を有する。さらに、裏面電極７２２に接続し表面保護膜７１４上に導体７１５、導体７１５に接続して柱状の導体１１６、導体１１６上に接続材料１１７が形成されている。

【００６１】

上記のような構成により、貫通電極７１９の一端は電極接続材料５１８、導体５０５を介してＩＣチップ１０１に接続されており、他端はパッケージ外部への導体と接続されている。これより、ＩＣチップ７１１から貫通電極７１９を通して直接パッケージ外部へ電氣的接続が可能になる。

【００６２】

本実施の形態によれば、第５の実施の形態の効果に加えて、支持基板になるＩＣチップとそれ以外の半導体パッケージに内蔵されるＩＣチップの間でそれぞれのＩＣの電氣的接

続が可能である。また、支持基板以外の内蔵されるＩＣチップから、半導体パッケージ外部へ直接電氣的接続が可能になる。これより、多ピン化された半導体パッケージを提供することができ、配線の自由度が高まる。

【００６３】

上記では、接続材料１０７、１１７を設けた例について説明したが、導体１０６、１１６の表面は、樹脂１３０表面に露出しているため、接続材料１０７、１１７を省略した場合においても外部との電氣的接続は可能である。本発明の効果は得られる。接続材料１０７、１１７を省略した場合には、より低コストの半導体装置を提供できるという利点がある。

【００６４】

図１１は本発明の第８の実施の形態を示す構造断面図である。これは、図１７に示した従来のＣＳＰに本発明を適用した例の１つである。支持基板となるＩＣチップ８０１上に別のＩＣチップ８１１がダイボンディングされてパッケージに内蔵されている。支持基板となるＩＣチップ８０１とパッケージのサイズは同等である。

【００６５】

ＩＣチップ８０１上にはアルミ電極パッド８０２が形成されている。アルミ電極パッド８０２は、ＩＣチップ８０１の内部集積回路と電氣的に接続されている。アルミ電極パッド８０２に接続して、柱状の導体である銅ポスト８０５が形成されている。さらに、ＩＣチップ８０１上には、接着シート８０８を介してＩＣチップ８１１が固定されている。ＩＣチップ８１１は、支持基板となるＩＣチップ８０１とは別のチップであり、ＩＣチップ８０１より小さく、かつ同一パッケージに内蔵できる程薄く研削されている。ＩＣチップ８１１上にはアルミ電極パッド８１２が形成されている。アルミ電極パッド８１２は、ＩＣチップ８１１の内部集積回路と電氣的に接続されている。アルミ電極パッド８１２に接続して、金バンプ８１５が形成されている。

【００６６】

樹脂８３０は、全てのＩＣチップの少なくとも集積回路形成面を封止している。樹脂８３０上の所定位置、および銅ポスト８０５上、金バンプ８１５上には、表面に金、スズ等のメッキが施された再配線パターン８０６が間隔をおいて複数形成されている。再配線パターン８０６上には、外部接続端子用のハンダボール８０７が形成されている。

【００６７】

銅ポスト８０５によりアルミ電極パッド８０２からパッケージの外部端子へ電氣的に接続でき、ハンダボール８０７により、パッケージを外部基板へ接続できる。すなわち、一連の接続されたアルミ電極パッド８０２、銅ポスト８０５、再配線パターン８０６、ハンダボール８０７により、ＩＣチップ８０１の内部集積回路とパッケージの外部基板とを電氣的に接続できる。

【００６８】

同様に、金バンプ８１５によりアルミ電極パッド８１２からパッケージの外部端子へ電氣的に接続でき、ハンダボール８０７により、パッケージを外部基板へ接続できる。すなわち、一連の接続されたアルミ電極パッド８１２、金バンプ８１５、再配線パターン８０６、ハンダボール８０７により、ＩＣチップ８１１の内部集積回路とパッケージの外部基板とを電氣的に接続できる。また、再配線パターン８０６、ハンダボール８０７により、ＩＣチップ８０１とＩＣチップ８１１を接続することもできる。以上より、本実施の形態によれば、第１の実施の形態と同様の効果が得られる。

【００６９】

以下に、図１５を参照しながら、第８の実施の形態の製造方法の一例を示す。まず、ＩＣチップ８０１においては、アルミ電極パッド８０２が形成された状態、ＩＣチップ８１１においては、アルミ電極パッド８１２と、その上に金バンプ８１５が形成された状態のものを準備する。ここでは、ＩＣチップ８０１については、個片化される前のウエハ状態の場合について説明する。図１５（ａ）において、ウエハ８８１はＩＣチップ８０１となる半導体素子が形成されたウエハであり、その上にはアルミ電極パッド８０２が形成され

ている。

【0070】

次に図15 (b) に示すように、アルミ電極パッド802上に銅ポスト805を形成する。銅ポスト805の形成は、ウエハ881全面への金属膜の蒸着、感光性レジストの塗布、パターンニング、銅メッキ、感光性レジスト除去、余分な金属膜の剥離の工程を順に行うことにより得られる。次に図15 (c) に示すように、アルミ電極パッド812、金バンプ815が形成されたICチップ811を、接着シート808を用いてウエハ881に搭載する。

【0071】

その後、図15 (d) に示すように、ウエハ881上の全てを樹脂830で封止し、保護する。この状態では、銅ポスト805、金バンプ815とも、樹脂830内部に埋まっている。次に図15 (e) に示すように、樹脂830の上面を銅ポスト805、金バンプ815が露出するまで削る。

【0072】

次に図15 (f) に示すように、樹脂830、銅ポスト805、金バンプ815上に再配線パターン806を形成する。再配線パターン806の形成は、樹脂830全面への金属膜の蒸着、感光性レジストの塗布、パターンニング、銅メッキ、感光性レジスト除去、余分な金属膜の剥離、無電解スズ（あるいは金）メッキの工程を順に行うことにより得られる。

【0073】

次に図15 (g) に示すように、再配線パターン806上にハンダボール807を形成する。最後にウエハをダイシングし、図15 (h) に示すように個片化して第8の実施の形態のCSPが完成する。

【0074】

図12は本発明の第9の実施の形態を示す構造断面図である。これも、図17に示した従来のCSPに本発明を適用した例の1つである。第8の実施の形態と大きく異なる点は、支持基板となるICチップ801上に別のICチップ911がフェイスダウンボンディングされてパッケージに内蔵されている点である。支持基板となるICチップ801とパッケージのサイズは同等である。ICチップ911は、支持基板となるICチップ801とは別のチップであり、ICチップ801より小さく、かつ同一パッケージに内蔵できる程薄く研削されている。

【0075】

本実施の形態では、第8の実施の形態と比べ、アルミ電極パッド802に加え、アルミ電極パッド902が、ICチップ801上のICチップ911と対向する位置に形成されている。そして、アルミ電極パッド812に代わり、アルミ電極パッド912が、ICチップ911のICチップ801と対向する面に形成されている。アルミ電極パッド902とアルミ電極パッド912の間には、両者と接続して金バンプ915が形成されている。このように、ICチップ911をボンディングするにあたり、接着シート808を用いない構成となっている。また、ICチップ911と再配線パターン806を直接接続する導体はない。その他の構成は第8の実施の形態と同じである。

【0076】

アルミ電極パッド802、902は、ICチップ801の内部集積回路と電氣的に接続されている。アルミ電極パッド912は、ICチップ911の内部集積回路と電氣的に接続されている。よって、ICチップ801とICチップ911の内部集積回路は、パッケージ内部で電氣的に接続される。ICチップ911を外部基板に接続したい場合は、ICチップ801および再配線パターン806、ハンダボール807を介して接続することが可能である。本実施の形態では、接着シート808を用いないため、安価なCSPを提供することができる。以上より、本実施の形態によれば、第5の実施の形態と同様の効果が得られる。

【0077】

以下に、図16を参照しながら、第9の実施の形態の製造方法の一例を示す。まず、ICチップ801においては、アルミ電極パッド802、902が形成された状態、ICチップ911においては、アルミ電極パッド912と、その上に金バンプ915が形成された状態のものを準備する。ここでは、ICチップ801については、個片化される前のウエハ状態の場合について説明する。図16(a)において、ウエハ881はICチップ801となる半導体素子が形成されたウエハであり、その上にはアルミ電極パッド802、902が形成されている。

【0078】

次に図16(b)に示すように、アルミ電極パッド802上に銅ポスト805を形成する。銅ポスト805の形成は、図15(b)での説明と同様に行う。次に図16(c)に示すように、アルミ電極パッド912、金バンプ915が形成されたICチップ911を、フェイスダウンボンディングによりウエハ881に搭載する。その後、図16(d)に示すように、ウエハ881上の全てを樹脂830で封止する。次に図16(e)に示すように、樹脂830の上面を銅ポスト805が露出するまで削る。

【0079】

次に図16(f)に示すように、樹脂830、銅ポスト805上に再配線パターン806を形成する。再配線パターン806の形成は、図15(f)での説明と同様に行う。その後の図16(g)、図16(h)に示す工程は、図15(g)、図15(h)で説明したものと同一である。以上のようにして、第9の実施の形態のCSPが完成する。

【0080】

図13は本発明の第10の実施の形態を示す構造断面図である。これは、第9の実施の形態からハンダボール807を無くしたものである。その他の構成は第9の実施の形態と同じである。ハンダボール807を省くことにより、更なる低コストのCSPを提供することができる。

【0081】

図14は本発明の第11の実施の形態を示す構造断面図である。これは、フェイスダウンボンディングにより内蔵されるICチップの数を2つにしたものである。その他の構成は第9の実施の形態と同じである。内蔵されるICチップ921、931は、同一のものでも、別のものでも構わない。また、内蔵されるICチップの数は、2つではなく、3つ以上でも構わない。内蔵されるICチップの数を増やすことにより、更なる高機能なCSPを提供することができる。

【0082】

以上、添付図面を参照しながら本発明にかかる好適な実施形態について説明したが、本発明はかかる例に限定されないことは言うまでもない。当業者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【図面の簡単な説明】

【0083】

【図1】 本発明の第1の実施の形態を示す構造断面図である。
【図2】 本発明の第2の実施の形態を示す構造断面図である。
【図3】 本発明の第3の実施の形態を示す構造断面図である。
【図4】 本発明の第4の実施の形態を示す構造断面図である。
【図5】 本発明の第5の実施の形態を示す構造断面図である。
【図6】 本発明の第6の実施の形態を示す構造断面図である。
【図7】 本発明の第7の実施の形態を示す構造断面図である。
【図8】 本発明の第1の実施の形態に係る半導体パッケージを実装基板に実装した図である。

【図9】 本発明の第1の実施の形態に係る半導体装置の製造方法を説明する図である。

【図10】 本発明の第1の実施の形態に係る半導体装置の製造方法を説明する図である。

- 【図 1 1】 本発明の第 8 の実施の形態を示す構造断面図である。
 【図 1 2】 本発明の第 9 の実施の形態を示す構造断面図である。
 【図 1 3】 本発明の第 1 0 の実施の形態を示す構造断面図である。
 【図 1 4】 本発明の第 1 1 の実施の形態を示す構造断面図である。
 【図 1 5】 本発明の第 8 の実施の形態に係る半導体装置の製造方法を説明する図である。
 【図 1 6】 本発明の第 9 の実施の形態に係る半導体装置の製造方法を説明する図である。
 【図 1 7】 従来の半導体装置を示す構造断面図である。

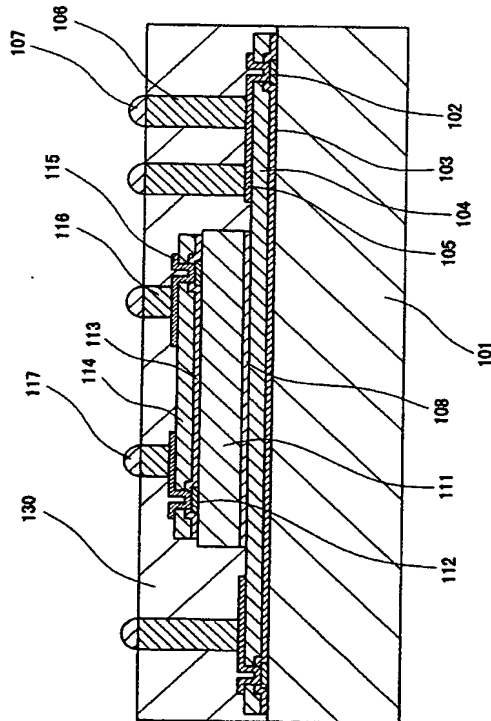
【符号の説明】

【0084】

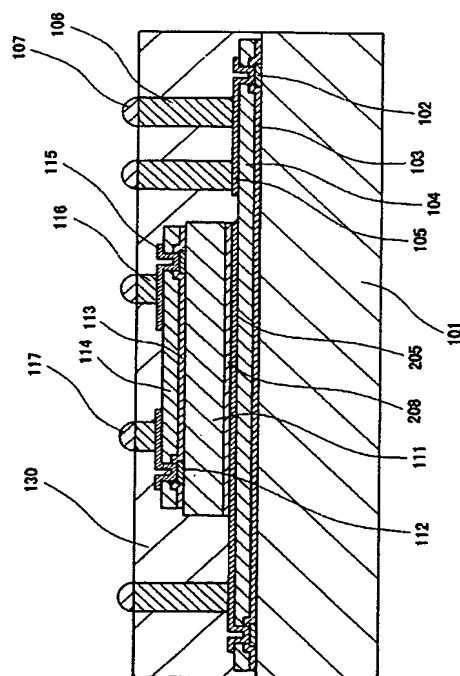
- 100 半導体装置
 101, 111 ICチップ
 102, 112 パッド
 103, 104, 113, 114 表面保護膜
 105, 106, 115, 116 導体
 107, 117 接続材料
 108 ダイボンディング材料
 130 樹脂

10

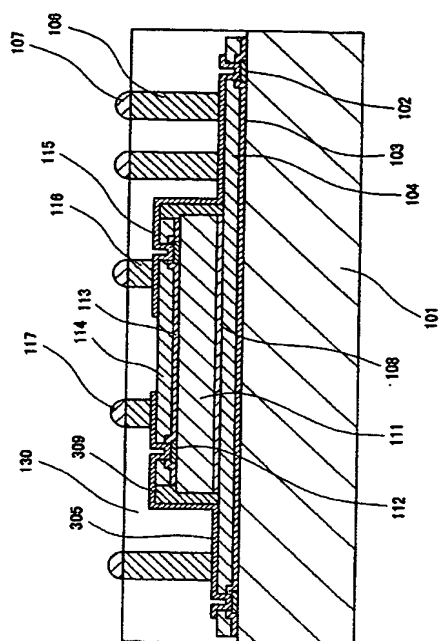
【図 1】



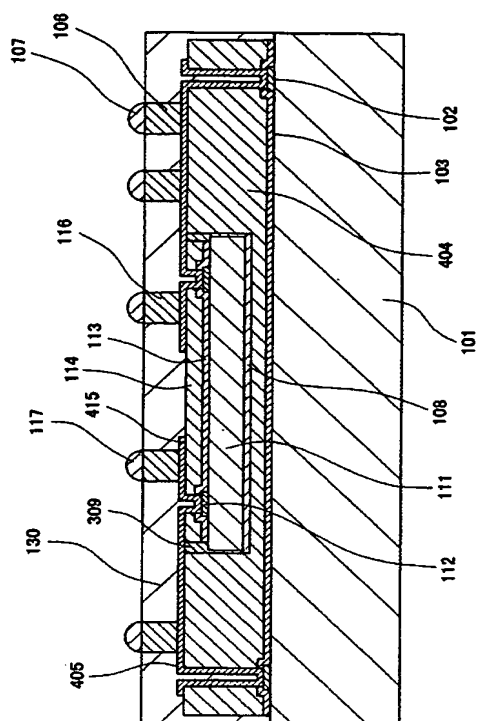
【図 2】



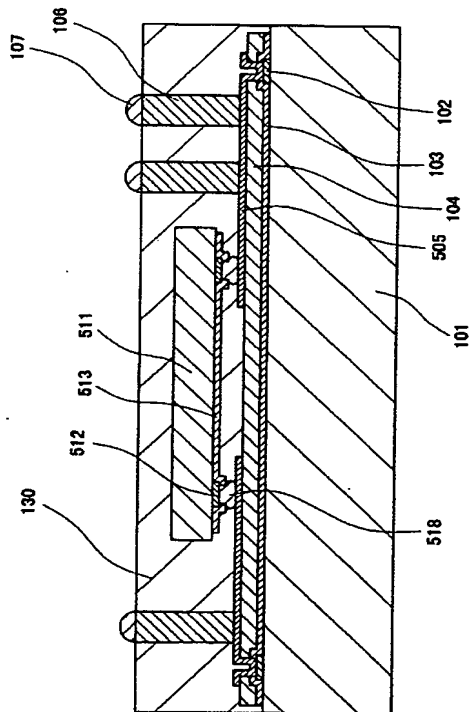
【図 3】



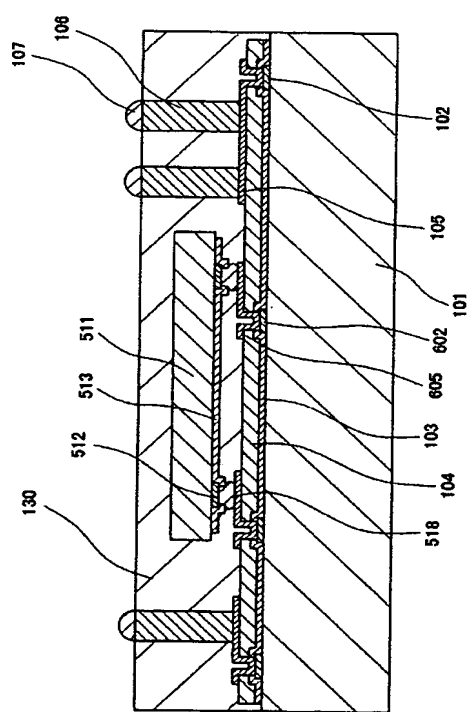
【図 4】



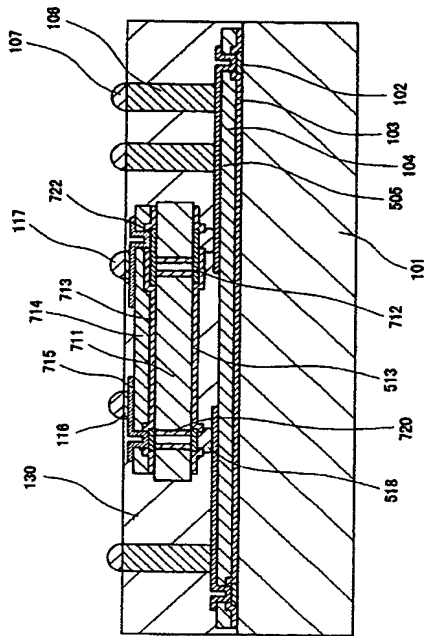
【図 5】



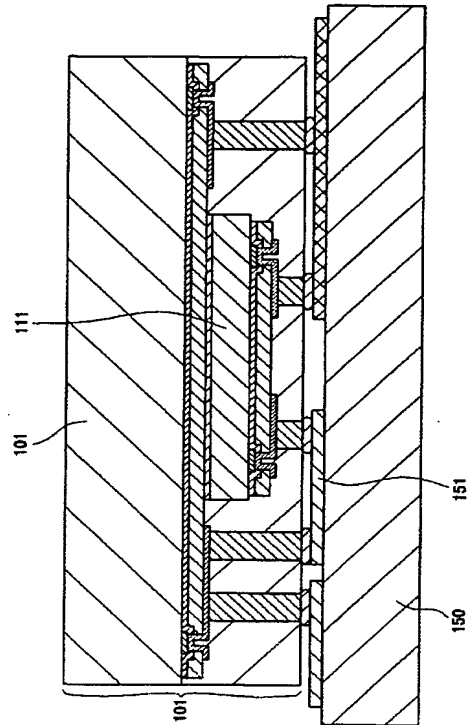
【図 6】



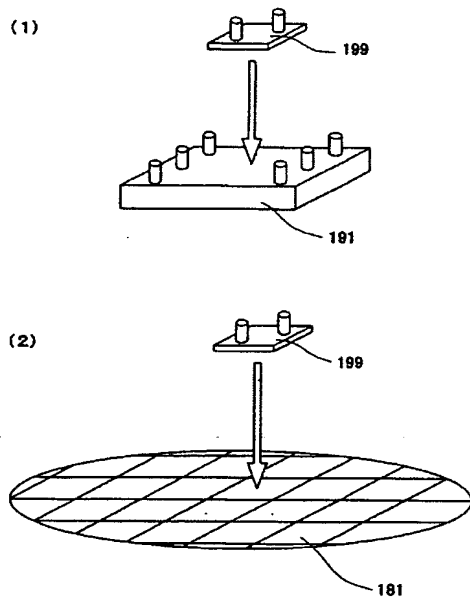
【図 7】



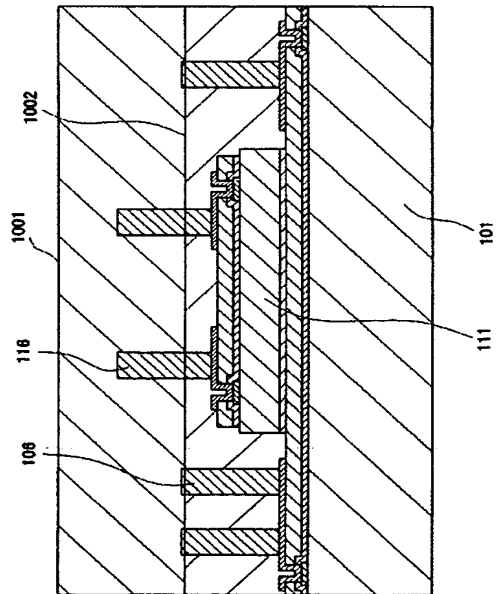
【図 8】



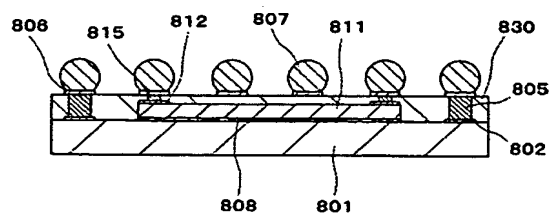
【図 9】



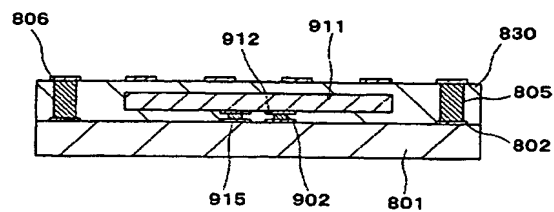
【図 10】



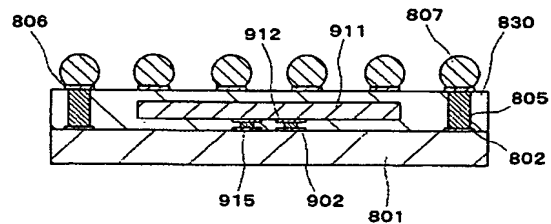
【図 1 1】



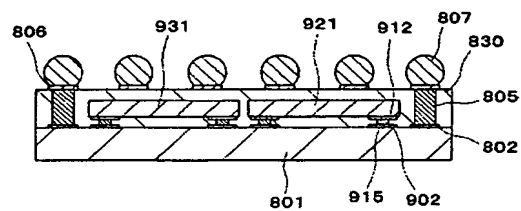
【図 1 3】



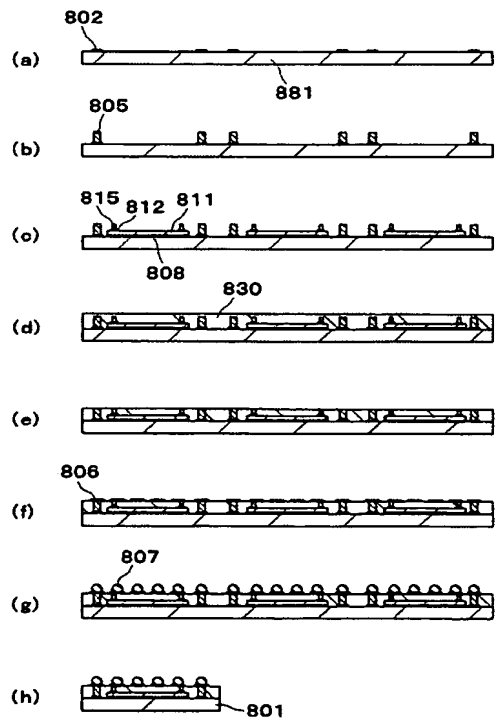
【図 1 2】



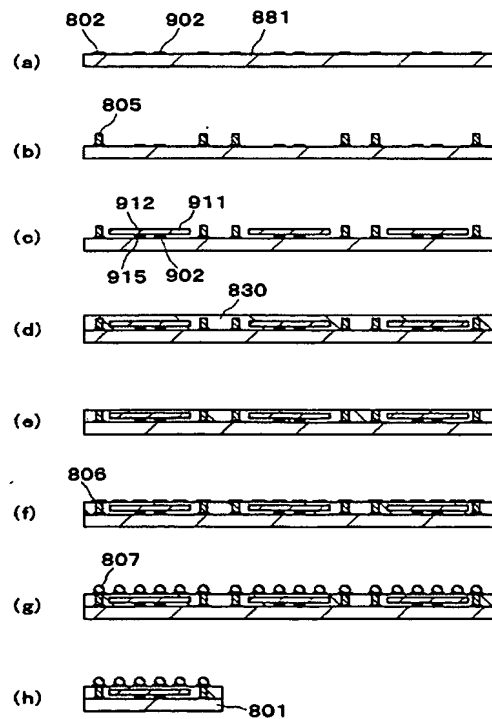
【図 1 4】



【図 1 5】



【図 1 6】



【図 17】

